

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-025018  
 (43)Date of publication of application : 26.01.2001

(51)Int.Cl. H04N 7/30  
 H03M 7/30  
 H04N 1/41

(21)Application number : 11-191580  
 (22)Date of filing : 06.07.1999

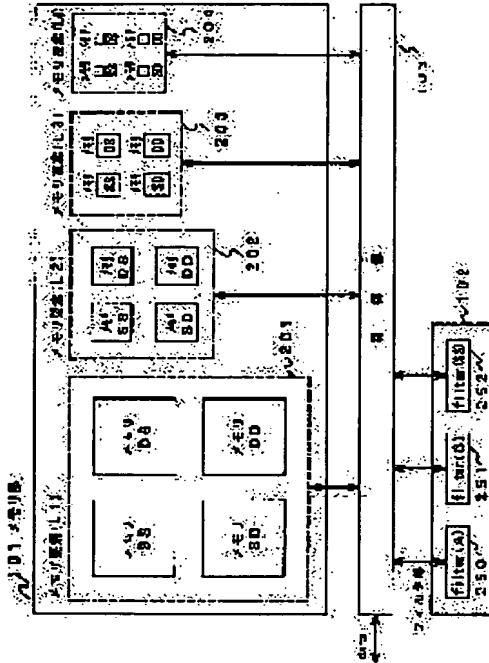
(71)Applicant : RICOH CO LTD  
 (72)Inventor : TAKAHASHI HIROYUKI

## (54) WAVELET TRANSFORMER, ENCODING/DECODING DEVICE, WAVELET TRANSFORMATION PROCESSING METHOD AND RECORDING MEDIUM

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a high-speed wavelet transformer for generating the frequency band signals of an optional level in an optional order or generating the frequency band signals of a higher level at the earlier point of time.

**SOLUTION:** Other than filters 250 and 251 for the horizontal/vertical processings of wavelet transformation, the filter 252 for SS coefficient data calculation is included and the SS coefficient data of the levels 1, 2 and 3 are calculated beforehand and written in memory elements 202, 203 and 204. Thereafter, the wavelet transformation is performed by using the filters 250 and 251. The respective memory elements 201-204 are divided into independent four memories and the horizontal/vertical processings of the respective levels are performed by parallel processings using the two filters 250 and 251.



## LEGAL STATUS

[Date of request for examination] 27.01.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-25018  
(P2001-25018A)

(43)公開日 平成13年1月26日 (2001.1.26)

(51)Int.Cl.<sup>7</sup>  
H 04 N 7/30  
H 03 M 7/30  
H 04 N 1/41

識別記号

F I  
H 04 N 7/133  
H 03 M 7/30  
H 04 N 1/41

テマコード(参考)  
Z 5 C 0 5 9  
A 5 C 0 7 8  
B 5 J 0 6 4

(21)出願番号 特願平11-191580  
(22)出願日 平成11年7月6日(1999.7.6)

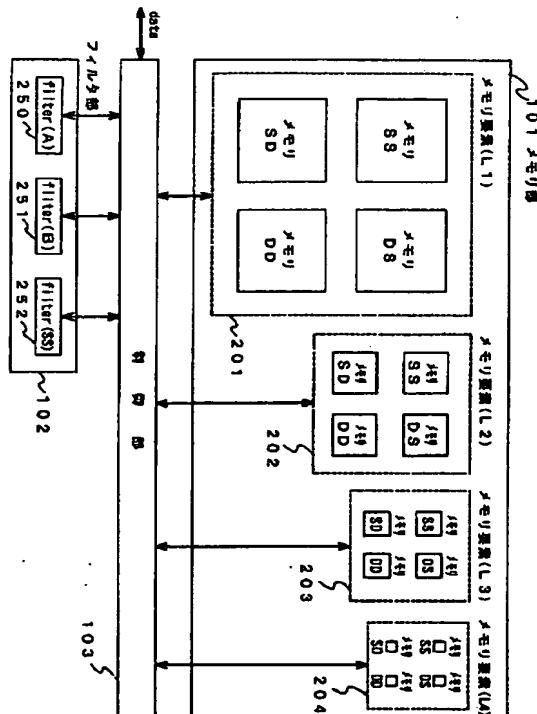
(71)出願人 000006747  
株式会社リコー  
東京都大田区中馬込1丁目3番6号  
(72)発明者 ▲高▼橋 啓行  
東京都大田区中馬込1丁目3番6号 株式  
会社リコー内  
(74)代理人 100073760  
弁理士 鈴木 誠 (外1名)  
Fターム(参考) 5C059 KK13 MA24 MC30 SS08 SS12  
SS20 TA36 TA75 TB17 TC47  
TD13 UA02 UA05 UA15 UA37  
5C078 BA53 CA31 DA00 DA01 DA02  
5J064 AA03 BA16 BC01 BC02 BC12  
BD03

(54)【発明の名称】 ウエーブレット変換装置、符号化復号化装置、ウエーブレット変換処理方法、及び、記録媒体

(57)【要約】

【課題】 任意のレベルの周波数帯信号を任意の順に生成し、あるいは高いレベルの周波数帯信号ほど早い時点で生成する、高速のウエーブレット変換装置を実現する。

【解決手段】 ウエーブレット変換の水平／垂直処理用のフィルタ250, 251のほかに、SS係数データ計算用フィルタ252を備え、予めレベル1, 2, 3のSS係数データを計算してメモリ要素202, 203, 204に書き込む。その後に、フィルタ250, 251を用いてウエーブレット変換を行う。各メモリ要素201～204を独立した4つメモリに分割し、2つのフィルタ250, 251を用いた並列処理により各レベルの水平／垂直処理を行う。



## 【特許請求の範囲】

【請求項1】 ウエーブレット変換の対応したレベルのデータを記憶するための、独立してアクセス可能な複数のメモリ要素と、ウェーブレット変換の水平処理及び垂直処理のためのフィルタと、ウェーブレット変換のSS係数の計算のためのフィルタとを具備することを特徴とするウェーブレット変換装置。

【請求項2】 ウエーブレット変換の対応したレベルのデータを記憶するための、独立してアクセス可能な複数のメモリ要素と、ウェーブレット変換の水平処理及び垂直処理のためのフィルタと、ウェーブレット変換のSS係数の計算のための複数のフィルタとを具備することを特徴とするウェーブレット変換装置。

【請求項3】 ウエーブレット変換の対応したレベルのデータを記憶するための、独立してアクセス可能な複数のメモリ要素と、ウェーブレット変換の水平処理及び垂直処理のためのフィルタと、ウェーブレット変換のSS係数の計算のための（メモリ要素の個数-1）個以上のフィルタとを具備することを特徴とするウェーブレット変換装置。

【請求項4】 ウエーブレット変換の対応したレベルのデータを記憶するための、独立してアクセス可能な複数のメモリ要素と、ウェーブレット変換の水平処理及び垂直処理のための複数のフィルタと、ウェーブレット変換のSS係数の計算のためのフィルタとを具備することを特徴とするウェーブレット変換装置。

【請求項5】 ウエーブレット変換の対応したレベルのデータを記憶するための、独立してアクセス可能な複数のメモリ要素と、ウェーブレット変換の水平処理及び垂直処理のための複数のフィルタと、ウェーブレット変換のSS係数の計算のための複数のフィルタとを具備することを特徴とするウェーブレット変換装置。

【請求項6】 ウエーブレット変換の対応したレベルのデータを記憶するための、独立してアクセス可能な複数のメモリ要素と、ウェーブレット変換の水平処理及び垂直処理のための複数のフィルタと、ウェーブレット変換のSS係数の計算のための（メモリ要素の個数-1）個のフィルタとを具備することを特徴とするウェーブレット変換装置。

【請求項7】 ウエーブレット変換の対応したレベルのデータを記憶するための、独立してアクセス可能な複数のメモリ要素と、ウェーブレット変換の水平処理及び垂直処理のための、メモリ要素と同数のフィルタと、ウェーブレット変換のSS係数の計算のためのフィルタとを具備することを特徴とするウェーブレット変換装置。

【請求項8】 ウエーブレット変換の対応したレベルのデータを記憶するための、独立してアクセス可能な複数のメモリ要素と、ウェーブレット変換の水平処理及び垂直処理のためのメモリ要素と同数のフィルタと、ウェーブレット変換のSS係数の計算のための複数のフィルタ

とを具備することを特徴とするウェーブレット変換装置。

【請求項9】 ウエーブレット変換の対応したレベルのデータを記憶するための、独立してアクセス可能な複数のメモリ要素と、ウェーブレット変換の水平処理及び垂直処理のためのメモリ要素と同数のフィルタと、SS係数の計算のための（メモリ要素の個数-1）個のフィルタとを具備することを特徴とするウェーブレット変換装置。

【請求項10】 各メモリ要素が、独立してアクセス可能な4つのメモリからなることを特徴とする請求項4記載のウェーブレット変換装置。

【請求項11】 各メモリ要素が独立してアクセス可能な4つのメモリからなり、SS計数計算のためのフィルタを（メモリ要素の個数-1）個具備することを特徴とする請求項5記載のウェーブレット変換装置。

【請求項12】 各メモリ要素が独立してアクセス可能な4つのメモリからなり、ウェーブレット変換の水平処理及び垂直処理のためのフィルタを、メモリ要素の個数の2倍の個数具備することを特徴とする請求項4記載のウェーブレット変換装置。

【請求項13】 各メモリ要素が独立してアクセス可能な4つのメモリからなり、ウェーブレット変換の水平処理及び垂直処理のためのフィルタを、メモリ要素の個数の2倍の個数具備することを特徴とする請求項6記載のウェーブレット変換装置。

【請求項14】 請求項1乃至13のいずれか1項記載のウェーブレット変換装置と、このウェーブレット変換装置の各メモリ要素にアクセス可能な、ウェーブレット変換による周波数帯域信号の符号化及びその符号化データの復号化を行うための符号化復号化部とを具備することを特徴とする符号化復号化装置。

【請求項15】 各レベルのSS係数データを計算して保存する処理を行った後、保存されているSS係数データを用いてレベル2以上の各レベルのウェーブレット変換の処理を行うことを特徴とするウェーブレット変換処理方法。

【請求項16】 各レベルのSS係数データを計算して保存する処理と、低いレベルより順に各レベルのウェーブレット変換を行う処理とを並行して遂行し、レベル2以上の各レベルのウェーブレット変換には、その開始前に計算されて保存されているSS係数データを用いることを特徴とするウェーブレット変換処理方法。

【請求項17】 請求項15又は16記載のウェーブレット変換処理方法の各処理をコンピュータに実行させるためのプログラムが記録されたことを特徴とするコンピュータ読み取り可能記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、画像データ等の圧

縮・伸長の分野に係り、特に、ウェーブレット変換装置と、ウェーブレット変換を利用する符号化復号化装置に関する。

#### 【0002】

【従来の技術】ウェーブレット変換は、周波数領域と時間領域を同時に表現できるという、フーリエ変換等には無い特長を有することで注目され、近年応用分野が広がりつつある。特に、データ圧縮への応用は、大量のデータの蓄積及び伝送のために非常に有用である。例えば、文書のファクシミリ伝送、あるいはワールドワイドウェブのような画像の伝送に要する時間は、圧縮を使ってその画像の再生に必要とされるビット数を減らすと、飛躍的に短縮される。

【0003】従来より、多くの様々なデータ圧縮手法が存在している。最も広く普及している圧縮方式としてJPEG (Joint Photographic Experts Group) がある。JPEGにおいては、入力シンボルまたは輝度データは量子化されてから出力符号語へ変換される。量子化は、データの重要な特徴量を保存する一方、重要でない特徴量を除去することを目的としている。量子化に先立ち、エネルギー集中のために変換が用いられるが、この変換として採用されているのがDCT (DiscreteCosine Transform) である。ところが、このDCTを用いているJPEGに対して、さまざまな欠点が指摘されている。例えば、ブロックノイズやモスキートノイズが発生する問題である。画像信号処理の応用においては、これらの欠点を解消する、効率的かつ高精度のデータ圧縮符号化方式を追求することに関心が集中している。その方式の中に、ウェーブレット (wavelet) 处理方式がある。

【0004】2次元信号にウェーブレット変換を適用する場合には、水平方向低域通過型フィルタHL (Horizontal Low) 及び水平方向高域通過型フィルタHH (Horizontal High) を使用して水平方向低域信号 (S (Smooth) 係数) 及び水平方向高域信号 (D (Detail) 係数) に分離し、さらに各々のS係数及びD係数に対して垂直方向低域通過型フィルタVL (Vertical Low) 及び垂直方向高域通過型フィルタVH (Vertical High) を使用して水平方向低域-垂直方向低域信号 (SS係数) 、水平方向低域-垂直方向高域信号 (SD係数) 、水平方向高域-垂直方向低域信号 (DS係数) 、及び水平方向高域-垂直方向高域信号 (DD係数) に分離する。水平処理と垂直処理を1回行った出力をレベル1の出力と呼ぶ。また、上記の4種類の信号を周波数帯信号と呼ぶ。レベル2以上の出力を希望するのであれば、この処理をSS係数に対して再帰的に行えばよい。レベル2ではSS係数と、1SD係数及び2SD係数、1DS係数及び2DS係数、1DD係数及び2DD係数、の7つの周波数帯信号が得られる。最初に水平方向にフィルタを行い、次に垂直方向にフィルタを用いる場合について説明したが、この順序は逆でもよい。

【0005】ウェーブレット変換を利用する符号化復号化装置においては、以上の過程を経て得られた各周波数帯信号が符号化復号化部で圧縮される。圧縮は周波数帯信号毎にビット単位で行われる。ある周波数帯信号の、一番最初の画素のMSBが処理の対象となる。この画素自身の状態と、周辺の画素の状態及び1つ上のレベルの状態が参照され、出力が決定される。次は、2番目の画素のMSBが処理の対象となるのであるが、この際は一番最初に処理された画素の状態も参照される。以下、符号化されるべき領域に対しての一連の処理が終了すると、一番最初の画素の1つ下位の(MSB-1)ビットが処理の対象となる。この際は同じビット深さの周辺画素の状態に加えて、MSBの状態も参照される。このようにして、符号化されるべき領域に対して LSBまで符号化が行われる。復号化もほぼ同じ手順を経て行われる。

【0006】従来のウェーブレット変換装置は、タイルメモリ、制御部及びフィルタから構成される。符号化復号化装置においては、さらに符号化復号化部が付加された構成となる。フィルタにはどのような構成のものを使いてもよいが、ここでは低域通過型フィルタとしては、2組のデータを用いて演算を行う2タップのフィルタを使用するものとする。また、高域通過型フィルタとしては、低域通過型フィルタの出力であるS係数のうち、現在の位置と1つ前及び1つ後の合計3組のデータを用いて演算を行う6タップのフィルタを使用するものとする。

【0007】図15に、上記フィルタを用いた場合のウェーブレット変換の処理の例を示す。(a)が水平方向の処理を示し、(b)が垂直方向の処理を示す。同図(a)において、例えば00は0ライン目の0画素目のデータを意味し、12は1ライン目の2画素目のデータを意味する(ライン、画素とも0番目から数えるものとする)。水平処理においては、同図(a)に示すように、水平方向低域通過型フィルタHLの0画素目の出力S00は、データ00と01から求められ、1画素目の出力S01はデータ02と08から求められる。また、水平方向高域通過型フィルタHHの0画素目の出力H00は、データ00の2つ前と1つ前のデータ(実在しない)、データ00と01、データ02と03から求められる。また、垂直処理においては、同図(b)に示すように、垂直方向低域通過型フィルタVLの出力SS00は、データS00とS10から求められる。垂直方向高域通過型フィルタVHの出力SD00は、データS00の2つ前と1つ前のデータ(実在しない)、データS00とS10、データS20とS30から求められる。

【0008】図16は、ウェーブレット変換が施される前のデータの状態を示している。このデータに対し、初めに水平方向の処理が施される。具体的には、データ00の2つ前及び1つ前のデータに、図17に示すような

マッピングでS係数及びD係数を書き込んでいく。図中、例えば1S00はレベル1のアドレス00のS係数を意味する。図18は、垂直処理を行った後の各係数を書き込む際のマッピングの例である。ここまでがレベル1の各係数の格納方法である。

【0009】図19は、レベル2の水平方向の各係数の格納方法の例である。レベル2の処理は1SS係数に対してのみ行われるため、斜線で示した部分のデータは用いられないことに注意されたい。次いで、図20に示すようなマッピングでレベル2の各係数が格納され、レベル2の処理が終了する。以下、所望レベルの周波数帯信号が得られるまで順次処理が施される。

【0010】図21に、従来の一般的なウェーブレット変換装置のタイミングチャートを示す。データのサイズを、X方向（画素方向）が128、Y方向（ライン方向）が128、トータル16kB（ただし、 $1k = 1024$ ）とし、レベル4までの処理を行う場合の処理時間について、図21のタイミングチャートを参照しながら説明する。

【0011】時刻t0でデータの入力が開始し、同時にレベル1の水平処理（1H）が開始する。時刻t1まで1Hの処理が行われるのであるが、t0からt1の期間ではデータの読み込みと、フィルタリング処理及びタイルメモリへの書き込みを並行して行うことができるため、この期間でのクロック数（1個のデータを入力するのに要する時間を1クロックとする）は16kクロック（ $1k = 1024$ ）となる。次に、時刻t1からt2まではレベル1の垂直処理（1V）が行われるのであるが、ここではタイルメモリに対して読み出し及び書き込みが行われるため、t0からt1の期間の2倍の時間を必要とする。従って、t1からt2の期間で82kクロツクを要する。レベル2の水平処理（2H）と垂直処理（2V）では、1Vの処理と同様にタイルメモリに対して入出力が行われるが、データ数は1/4となっている。従って、t2からt3の期間は16kクロックとなる。同様に、t3からt4の期間は4kクロック、t4からt5の期間は1kクロックとなる。したがって、4レベルのウェーブレット変換のためのトータル時間は69kクロックとなる。

【0012】符号化復号化装置においては、ウェーブレット変換の終了後、タイルメモリに書き込まれた各周波数帯信号が符号化復号化部によって符号化される。画像信号は、隣接画素の相関、特に同一ビットプレーン内の相関が高いという特性を活かして圧縮率を上げている。このため、まとまった領域のデータをビット単位で扱っている。復号化は以上述べた動作のほぼ逆順で得られる。

【0013】なお、本発明に関連する符号化復号化装置、ウェーブレット変換装置、ウェーブレット変換のためのフィルタに関するより詳細な情報は、特開平8-1

39935号公報などに見られる。また、符号化復号化部については、特開平9-121168号公報に詳しい。更に、類似のウェーブレット変換装置に関する公知文献としては、特開平3-27687号公報、特開平5-167997号公報、特開平5-183886号公報などがある。

#### 【0014】

【発明が解決しようとする課題】以上に述べたような従来技術では、ウェーブレット変換に時間がかかるという問題があった。上に述べたように、例えばデータ数が $128 \times 128 = 16\text{ kB}$ の場合でも、レベル4までの処理を行うためには69kクロック（データを単純に読み出すために必要な時間の約4.3倍）もかかっていた。また、ウェーブレット変換を、低いレベルから高いレベルへ向かって順次に行うため、符号化復号化部が高いレベルの周波数帯信号を先に要求する場合でも、そのレベルまでウェーブレット変換がほぼ終了するまで符号化復号化部は処理を開始できず、符号化復号化部における待ち時間が長いという問題があった。

【0015】よって、本発明の1つの目的は、高速処理が可能で、かつ、任意のレベルの周波数帯信号を任意の順で得ることができるようにウェーブレット変換装置及びウェーブレット変換処理方法を提供することにある。本発明のもう一つの目的は、高いレベルの周波数帯信号ほど早い時点で生成できる、高速処理が可能なウェーブレット変換装置及びウェーブレット変換処理方法を提供することにある。本発明の他の目的は、符号化復号化部のウェーブレット変換のための待ち時間を減らし、高速処理が可能な符号化復号化装置を提供することにある。

#### 【0016】

【課題を解決するための手段】上記目的を達成するための本発明の符号化復号化装置及びウェーブレット変換装置の主要な特徴は、ウェーブレット変換装置に、ウェーブレット変換の対応したレベルのデータを記憶するための、独立してアクセス可能な複数のメモリ要素と、ウェーブレット変換の水平処理及び垂直処理のためのフィルタと、ウェーブレット変換のSS係数の計算のためのフィルタとを具備させることである。もう1つの特徴は、SS係数データの計算のためのフィルタを複数個具備させることである。他の特徴は、水平処理及び垂直処理のためのフィルタを複数個具備させることである。もう一つの特徴は、各メモリ要素を、独立してアクセス可能な4個のメモリに分割した構成とすることである。

【0017】また、本発明のウェーブレット変換処理方法の主要な特徴は、各レベルのSS係数データを計算して保存する処理を行った後に、保存されているSS係数データを用いてレベル2以上の各レベルのウェーブレット変換の処理を行うことである。もう1つの特徴は、各レベルのSS係数データを計算して保存する処理と、低いレベルより順に各レベルのウェーブレット変換を行う

処理とを並行して遂行し、レベル2以上の各レベルのウェーブレット変換には、その開始前に計算されて保存されているSS係数データを用いることである。

【0018】本発明の上記各特徴及び他の特徴と、その効果について、以下の説明において詳細に説明する。

【0019】

【発明の実施の形態】以下、添付図面を参照し、本発明の実施の形態について説明する。なお、説明を簡略にするため、添付図面中の複数の図面において同一部分又は対応部分には同一又は同様の参照番号を用いる。

【0020】図1は、本発明による符号化復号化装置の全体的構成の一例を示すブロック図である。この符号化復号化装置は、本発明によるウェーブレット変換装置100と、符号化復号化部104とからなる。本発明のウェーブレット変換装置100は、外部から入力するデータdataを周波数帯信号に変換するウェーブレット変換と、符号化復号化部104により復号された周波数帯信号からデータdataを復元する逆ウェーブレット変換を行うもので、メモリ部101とフィルタ部102と制御部103とから構成される。符号化復号化部104は、ウェーブレット変換装置100のメモリ部101を制御部103を介してアクセス可能であり、メモリ部101に得られた周波数帯信号を符号化し、符号化データcodeを出力し、また、外部から入力する符号化データcodeを復号化してウェーブレット変換の周波数帯信号を復元するものである。符号化復号化部104は、この種符号化復号化装置における従来の符号化復号化部と同様の構成でよい。

【0021】本発明の符号化復号化装置及びウェーブレット変換装置の第1の実施例によれば、図1に示した全体的構成において、ウェーブレット変換装置100が図2に示すような構成とされる。

【0022】図2に見られるように、メモリ部101は、所望のウェーブレット変換のレベル数と等しい個数の独立したメモリ要素から構成されている。ここでは、レベル数を4としているため、メモリ部101は、4個のメモリ要素、すなわちレベル1に対応したメモリ要素(L1)201、レベル2に対応したメモリ要素(L2)202、レベル3に対応したメモリ要素(L3)203、レベル4に対応したメモリ要素(L4)204から構成されている。また、これらの各メモリ要素201～204は、図中にSS、DS、SD及びDDと記された、独立してアクセス可能な4個のメモリから構成されている。各メモリ要素内のSS～DSの4個のメモリのワード数は等しいが、そのビット深さはフィルタの構成によって異なることがある。また、メモリ要素201～204のワード数、すなわち、それを構成するSS～DDの4個のメモリの総ワード数は、レベルによって異なる。すなわち、レベル1のメモリ要素(L1)201のワード数は、入力される総データ数と等しい。レベル2

のメモリ要素(L2)202のワード数は、レベル1のメモリ要素(L1)201のワード数の1/4であり、同様に、レベル3のメモリ要素(L3)のワード数はレベル2のメモリ要素(L2)202のワード数の1/4で、レベル4のメモリ要素(L4)204のワード数は、レベル3のメモリ要素(L3)203のワード数の1/4である。レベル5以上が存在する場合も、同様のルールが適用される。以上に述べたメモリ部101の構成は、後述の他の実施例においても同様とする。

【0023】フィルタ部102は、低域通過型フィルタ及び高域通過型フィルタの両方を備えた2組のフィルタ、すなわちフィルタ(A)250及びフィルタ(B)251と、低域通過型フィルタであるフィルタ(SS)252から構成される。フィルタ(A)250とフィルタ(B)251は同一の構成のもので、ウェーブレット変換の水平処理、垂直処理のいずれにても使用可能である。フィルタ(SS)252は、外部から入力された生データ又は前レベルのSS係数データからSS係数データを生成するために利用されるものである。

【0024】制御部103は、メモリ部101の各メモリ要素201～204を構成する各メモリのアクセスや、メモリ部101、フィルタ部102、入力データのソース及び符号化復号化部104の相互間のデータ転送などを制御する部分である。符号化復号化部104は、制御部103を介してメモリ部101の各メモリ要素201～204の構成メモリをアクセス可能である。

【0025】図3は、本実施例のウェーブレット変換装置100のタイミングチャートの一例を示す。図3の時刻t0からt1の間で、データdataが順次入力され、これがメモリ要素(L1)201に書き込まれ

(“W”は書き込みを意味する)。この際、入力データは、図4のメモリマップに示すような規則に従って、メモリ要素(L1)201を構成するSS、DS、SD、DDの各メモリに振り分けて書き込まれる。この振り分けの規則は次の通りである。SSメモリの0ライン目の0画素目には0ライン目の0画素目のデータが書き込まれ、SDメモリの0ライン目の0画素目には0ライン目の1画素目のデータが書き込まれ。また、DSメモリの0ライン目の0画素目には1ライン目の0画素目のデータが書き込まれ、DDメモリの0ライン目の0画素目には1ライン目の1画素目のデータが書き込まれる。すなわち、偶数ライン目(0ライン目も偶数と数える)の偶数画素目(0画素目も偶数と数える)がSSメモリに書き込まれ、偶数ライン目の奇数画素目がSDメモリに書き込まれ、奇数ライン目の偶数画素目がDSメモリに書き込まれ、奇数ライン目の奇数画素目がDDメモリに書き込まれるのである。

【0026】続いて、時刻t1からt2の間で、メモリ要素(L1)201からデータ(外部からの入力データそのもの)が読み出され(“R”は読み出しを意味す

る)、フィルタ (SS) 252に入力されてレベル1のSS係数が計算され、得られたSS係数データが、図4に関連して説明した規則と同様の規則に従って、メモリ要素 (L2) 202の4個のメモリに振り分けられて書き込まれる ("W" は書き込みを意味する)。次の時刻t2からt3の期間に、メモリ要素 (L2) 202からデータ (レベル1のSS係数データ) が読み出されてフィルタ (SS) 252へ入力され、レベル2のSS係数が計算され、このSS係数データも同様な規則に従って、レベル3のメモリ要素 (L3) 203の4個のメモリに振り分けられて書き込まれる。次の時刻t3からt4の期間に、メモリ要素 (L3) 203からデータ (レベル2のSS係数データ) が読み出されてフィルタ (SS) 252へ入力され、レベル3のSS係数が計算され、このSS係数データも同様な規則に従って、レベル4のメモリ要素 (L4) 204の4個のメモリに振り分けられて書き込まれる。

【0027】時刻t4からウェーブレット変換が開始する。まず、時刻t4からt5の期間に、メモリ要素 (L1) 201に格納されているデータに対するレベル1の水平処理 ("H" は水平処理を意味する) が行われ、続いて垂直処理 ("V" は垂直処理を意味する) が行われる。ここでは、入力データのサイズが128(画素方向) × 128(ライン方向) = 16 kB (1 k = 1024) で、低域通過型フィルタには従来技術で説明した2タップのフィルタ、高域通過型フィルタには同様に6タップのフィルタを用いるものとして説明する。

【0028】水平処理の場合、メモリ要素 (L1) のSS, SDの各メモリとフィルタ (A) 250, DS, DDの各メモリとフィルタ (B) 251とが、それぞれ図5に示すように接続されて、2組のフィルタによる処理が並行して行われる。すなわち、偶数ライン目をフィルタ (A) 250で、奇数ライン目をフィルタ (B) 251で並列に処理し、その結果をそれぞれのメモリに書き込むのである。このような処理が可能であるのは、SS～DDの4つのメモリが各自独立しており、同時に読み出し又は書き込みを行うことが可能であるからである。なお、フィルタ (A) 250とフィルタ (B) 251を入れ替えて接続してもよい。

【0029】次の垂直処理の場合には、メモリ要素 (L1) のSS, DSの各メモリとフィルタ (A) 250, SD, DDの各メモリとフィルタ (B) 251とが、それぞれ図6に示すように接続されて、2組のフィルタによる処理が並行して行われる。すなわち、偶数画素目をフィルタ (A) 250で処理し、奇数画素目をフィルタ (B) 251で処理し、結果を各自のメモリに同時に書き込むのである。

【0030】続いて、時刻t5からt6の期間で、メモリ要素 (L2) 202上のデータに対しレベル2の水平処理と垂直処理が2つのフィルタ (A) 250及びフィ

ルタ (B) 251を使用して実行され、続いて時刻t6からt7の期間にレベル3の処理が同様に行われ、続いて時刻t7からt8の期間にレベル4の処理が同様に行われる。

【0031】ここでは、レベル1～レベル4まで、この順でウェーブレット変換が行われたが、これは一例であって、任意の順序で各レベルのウェーブレット変換を行うことができる。また、全てのレベルのウェーブレット変換を行う必要はなく、任意に選択したレベルのウェーブレット変換だけを行うこともできる。このようなことが可能であるのは、時刻t4までに、各レベルのウェーブレット変換処理の対象となるデータ(入力されたデータ又は直前レベルのSS係数データ)が、対応したメモリ要素201～204上に既に準備されているため、時刻t4以降のどの時点でも、各レベルのウェーブレット変換を、他のレベルのウェーブレット変換とは無関係に開始できるからである。ただし、本実施例ではウェーブレット変換のためのフィルタが、フィルタ (A) 250とフィルタ (B) 251の2組しかないため、複数のレベルの処理を同時に行うことはできない。

【0032】さて、本実施例のウェーブレット変換装置の処理時間について述べる。SS係数の計算及びデータの振り分けにかかる時間は、時刻t0からt1が $128 \times 128 = 16\text{ kクロック}$ 、時刻t1からt2が $64 \times 64 = 4\text{ kクロック}$ 、時刻t2からt3が $32 \times 32 = 1\text{ kクロック}$ 、時刻t3からt4が $16 \times 16 = 0.25\text{ kクロック}$ で、合計 $21.25\text{ kクロック}$ となる。一方、ウェーブレット変換にかかる時間は、時刻t4からt5が $64 \times 64 \times 2 = 8\text{ kクロック}$ 、時刻t5からt6が $32 \times 32 \times 2 = 2\text{ kクロック}$ 、時刻t6からt7が $16 \times 16 \times 2 = 0.5\text{ kクロック}$ 、時刻t7からt8が $8 \times 8 \times 2 = 0.125\text{ kクロック}$ で、合計 $10.625\text{ kクロック}$ である。トータルの処理時間は $31.875\text{ kクロック}$ となり、これは前述の従来技術の処理時間 $69\text{ kクロック}$ の約46%であるから、ウェーブレット変換処理の大幅な高速化を達成できる。また、一部レベルの周波数帯信号が不要な場合には、そのレベルのためのウェーブレット変換処理を省くことができるから、処理時間はさらに短縮される。

【0033】さて、上に述べたように、任意に選んだレベルのウェーブレット変換だけを、任意の順序で実行することが可能であることは、符号化復号化部104で符号化又は復号化を行う上で大きな利益をもたらす。以下、これについて説明する。

【0034】図13は、ウェーブレット変換により得られた各レベルの各周波数帯信号が重要度により並べ替えられる「アライメント(alignment)」と呼ばれる概念を表している。図13において、1つの長方形があるレベルのある周波数帯信号を示し、その大きさがビット深さを表している。ビット深さは、フィルタの構成によ

り異なってくるが、ここではSD係数及びDS係数が同じビット深さを有し、DD係数はSD係数及びDS係数より1ビットだけビット深さが深いものとして描かれている。

【0035】符号化復号化部104では、重要度の高いレベル及び周波数帯信号から符号化又は復号化を行う。例えば、図13のような重要度が各レベル及び各周波数帯信号に割り当てられたとすると、レベル4のSD係数が一番最初に符号化又は復号化される。また、符号化復号化部104においては、例えば画像を扱うような場合は、圧縮率を上げるためにデータの切り捨てを行うことがある。アライメントは、その切り捨て方を決めるための1つの手段として用いられ、重要度の低いビットのデータが切り捨てられる。

【0036】図14はビットプレーンと呼ばれる概念を表す図である。データが例えば画像データであれば、ある画素(pixe1)は(x,y)で表されるアドレス空間と、ビット深さを持っている。図中、斜線で示した部分(例えば、MSBの部分)のような、あるビット位置の全画素のビットの集合をビットプレーンと呼ぶ。符号化復号化部104では、ビットプレーン単位で、何画素かのかたまりで処理が行われる。これは、画像データは、ある画素に着目した場合、その周辺の画素との相関が高いことを利用して、圧縮率を高めるためである。

【0037】さて、ウェーブレット変換を利用する符号化復号化装置においては、一般的に、高レベルの周波数帯信号から先に符号化もしくは復号化が行われ、また、データの切り捨てが行われる場合は低レベルの周波数帯信号から先に切り捨てが行われる。しかるに、従来技術では、ウェーブレット変換は低いレベルから順に行われ、高いレベルの周波数帯信号は、それより下位のほぼ全てのレベルのウェーブレット変換が終了するまで得られなかったため、高レベルのウェーブレット変換が終了するまで符号化を開始できず、そのための待ち時間が長いという問題があった。また、あるレベル以下の周波数帯信号が切り捨てられるると分かっている場合でも、全レベルについてウェーブレット変換を行う必要があるという無駄があった。

【0038】これに対し、本実施例のウェーブレット変換装置100は、前述のように、ウェーブレット変換を実行するレベルと、その順序を任意に選ぶことが可能であるから、符号化復号化部104で必要なレベルとその処理の順序を指定することにより、必要なレベルの周波数帯信号を必要な順序で最短の時間で得ることができ、したがって従来技術に比べ待ち時間を大幅に減らすことができる。さらに、あるレベル以下の全データを切り捨てる場合は、それらのレベルのウェーブレット変換を行わせないようにすることで、無駄な処理時間を省くことができる。かくして、本実施例によれば、従来の符号化復号化装置に比べ高速の処理が可能となる。

【0039】本発明の符号化復号化装置及びウェーブレット変換装置の第2の実施例によれば、図1に示す全体構成の符号化復号化装置において、ウェーブレット変換装置100のフィルタ部102が図7に示すような構成とされる。ウェーブレット変換装置100のそれ以外の構成は前記第1実施例と同一である。

【0040】図7に見られるように、本実施例によれば、ウェーブレット変換装置100のフィルタ部102は、(メモリ要素個数-1)個のSS係数計算専用のフィルタ、すなわち、フィルタ(SS2)252\_2、フィルタ(SS3)252\_3、及びフィルタ(SS4)252\_4を備え、また、前記第1実施例と同様の低域通過型フィルタ及び高域通過型フィルタの両方を備えたフィルタ(A)250とフィルタ(B)251を備えた構成とされる。

【0041】図8は、本実施例のウェーブレット変換装置100のタイミングチャートである。図8のタイミングチャートを参照して動作を説明すれば、時刻t0からt1の間で、入力データがメモリ要素(L1)201に書込まれるが、これ並行して、入力データがフィルタ(SS2)252\_2、フィルタ(SS3)252\_3及びフィルタ(SS4)252\_4に入力され、それによりレベル1のSS係数、レベル2のSS係数及びレベル3のSS係数が計算され、得られたレベル1、レベル2及びレベル3のSS係数データがそれぞれメモリ要素(L2)202、メモリ要素(L3)203及びメモリ要素(L4)204に書き込まれる。この書き込みの際に、前記第1実施例で説明したと同様の規則により、データは各メモリ要素を構成する4個のメモリに振り分けられる。このように、レベル対応のSS係数計算専用の、独立して動作する3個のフィルタ252\_2、252\_3、252\_4をフィルタ部102に備えるため、入力データのメモリ要素201への書き込みと同時にメモリ要素202、203、204へのSS係数データの書き込みが可能であり、時刻t1から直ちに通常のウェーブレット変換処理を開始できる。

【0042】時刻t1の時点で、各レベルに対応したメモリ要素201～204には既にウェーブレット処理をいつでも実行できるよう必要なデータが準備されているので、前記第1実施例の場合と同様に、ウェーブレット変換を行うレベルの順番を任意に選択することができるが、図8のフローチャートではレベル1からレベル4へと順に処理が行われる場合の動作が示されている。すなわち、時刻t1からt2の期間に、図5に示すようなメモリ要素(L1)のSS、SD、DS、DDの各メモリとフィルタ(A)250及びフィルタ(B)251が接続されて、レベル1のウェーブレット変換の水平処理が行われ、次に図6の様な接続で垂直処理が行われる。続いて時刻t2からt3の期間にレベル2のウェーブレット変換が行われ、次に時刻t3からt4の期間にレベル

3のウェーブレット変換が行われ、時刻t4からt5の期間にレベル4のウェーブレット変換が行われる。

【0043】本実施例におけるウェーブレット変換装置100の処理時間であるが、SS係数の計算及びSS係数データの振り分けにかかる時間は、時刻t0からt1が $128 \times 128 = 16\text{ kクロック}$ である。一方、ウェーブレット変換にかかる時間は、前記第1実施例の場合と同様で、時刻t1からt2が $64 \times 64 \times 2 = 8\text{ kクロック}$ 、時刻t2からt3が $S2 \times 32 \times 2 = 2\text{ kクロック}$ 、時刻t3からt4が $16 \times 16 \times 2 = 0.5\text{ kクロック}$ 、時刻t4からt5が $8 \times 8 \times 2 = 0.125\text{ kクロック}$ で、合計 $10.625\text{ kクロック}$ である。トータルでの処理時間は $26.625\text{ kクロック}$ となる。すなわち、従来技術の $69\text{ kクロック}$ の約39%の処理時間で済むため、従来技術より大幅な処理の高速化が可能であるが、さらに前記第1実施例1に比べても約85%の処理時間で済むため、より高速の処理が可能である。

【0044】また、本実施例のウェーブレット変換装置100は、ウェーブレット変換を実行するレベルと、その順序を任意に選ぶことが可能であるから、前記第1実施例に関連して説明したように、符号化復号化部104で必要なレベルとその処理の順序を指定することにより、必要なレベルの周波数帯信号を必要な順に最短の時間で得ることができ、したがって従来技術に比べ待ち時間を大幅に減らすことができ、また、あるレベル以下の全データを切り捨てる場合は、それらのレベルのウェーブレット変換を行わせないようにすることで、無駄な処理時間を省くことができる。

【0045】本発明の符号化復号化装置及びウェーブレット変換装置の第3の実施例によれば、図1に示す全体的構成において、ウェーブレット変換装置100のフィルタ部102が図9に示すような構成とされる。ウェーブレット変換装置100のそれ以外の構成は前記第1実施例と同一である。

【0046】図9に見られるように、本実施例によれば、フィルタ部102は、低域通過型フィルタと高域通過型フィルタの両方を備えた水平、垂直処理用のフィルタとして、レベル1専用のフィルタ(A1)250\_1とフィルタ(B1)251\_1、レベル2専用のフィルタ(A2)250\_2とフィルタ(B2)251\_2、レベル3専用のフィルタ(A3)250\_3とフィルタ(B3)251\_3、レベル4専用のフィルタ(A4)250\_4とフィルタ(B4)251\_4を具備し、また、SS係数計算のための低域通過型フィルタであるフィルタ(SS)252を具備する構成とされる。

【0047】図10は、本実施例によるウェーブレット変換装置100のタイミングチャートである。このタイミングチャートに示したように、時刻t0からt1の間で、入力データがメモリ要素(L1)201の4つのメモリに、前記第1実施例と同様な規則で振り分けられて

書き込まれる。時刻t1からt2の期間では、メモリ要素(L1)201からデータが読み出され、フィルタ(SS)252によりレベル1のSS係数が計算され、得られたSS係数データはメモリ要素(L2)202を構成する4つのメモリに前述の規則に従い振り分けられて書き込まれる。時刻t2でこの処理が終了すると、直ちにフィルタ(A1)250\_1及びフィルタ(B1)を使用してレベル1のウェーブレット変換の処理が開始する。同時に、メモリ要素(L2)202からSS係数データが読み出され、フィルタ(SS)252でレベル2のSS係数が計算され、得られたSS係数データがメモリ要素(L3)203を構成する4つのメモリに振り分けられて書き込まれる。この処理が時刻t3で終了すると、フィルタ(A2)250\_2及びフィルタ(B2)250\_2を使用してレベル2のウェーブレット変換の処理が開始する。同時に、メモリ要素(L3)203からSS係数データが読み出されてフィルタ(SS)252によりレベル3のSS係数が計算され、そのSS係数データがメモリ要素(L4)204の構成メモリに振り分けられて書き込まれる。この処理が終了すると、フィルタ(A3)250\_3とフィルタ(B3)251\_3を使用したレベル3のウェーブレット変換処理と、フィルタ(A4)250\_4とフィルタ(B4)251\_4を使用したレベル4のウェーブレット変換処理が同時に開始する。データ数が小さいレベル4のウェーブレット変換処理が最も早い時刻t4で終了し、続いてレベル3のウェーブレット変換処理が時刻t5に終了する。続いて時刻t6でレベル2のウェーブレット変換処理が終わり、最後に時刻t7でレベル1のウェーブレット変換処理が終了する。このように、本実施例では、データ数の少ない最も高いレベルから、順にウェーブレット変換が終了していく。

【0048】本実施例のウェーブレット変換装置100の処理時間であるが、レベル1のデータ数が最も多いので、全体の処理時間もレベル1の処理に要する時間で決まる。データの読み込み時間が時刻t0からt1の $128 \times 128 = 16\text{ kクロック}$ 、レベル2のSSの計算及び振り分けにかかる時間が、時刻t1からt2の $64 \times 64 = 4\text{ kクロック}$ 、ウェーブレット変換にかかる時間が時刻t2からt7の $64 \times 64 \times 2 = 8\text{ kクロック}$ である。トータルの処理時間は $28\text{ kクロック}$ となり、従来技術の $69\text{ kクロック}$ の約41%の処理時間で済み、高速処理が可能である。

【0049】前記第1実施例に関連して説明したように、符号化復号化装置の符号化復号化部104は、一般に、高レベルの周波数帯信号から先に符号化もしくは復号化を行い、切り捨てが行われる場合は低レベルの周波数帯信号から先に切り捨てを行う。本実施例のウェーブレット変換装置100は、上に述べたように高レベルのウェーブレット変換ほど早く処理が終わるために、符号化

符号化部104において、高いレベルの周波数帯信号ほど早く得ることができるため、待ち時間が少なくなる。また、あるレベル以下の周波数帯信号が切り捨てられる場合分かっている場合は、全レベルについてウェーブレット変換を行う無駄を省くことができる。

【0050】本発明の符号化復号化装置及びウェーブレット変換装置の第4の実施例によれば、図1に示す全体的構成において、ウェーブレット変換装置100のフィルタ部102が図11に示すような構成とされる。ウェーブレット変換装置100のこれ以外の構成は前記第1実施例と同一である。

【0051】図11に見られるように、本実施例によれば、フィルタ部102は、前記第3実施例と同様に、低域通過型フィルタと高域通過型フィルタの両方を備えた水平、垂直処理用のフィルタとして、レベル1専用のフィルタ(A1)250\_1とフィルタ(B1)251\_1、レベル2専用のフィルタ(A2)250\_2とフィルタ(B2)251\_2、レベル3専用のフィルタ(A3)250\_3とフィルタ(B3)251\_3、レベル4専用のフィルタ(A4)250\_4とフィルタ(B4)251\_4を具備し、また、前記第2実施例と同様に、SS係数計算専用のフィルタとして、フィルタ(SS2)252\_2、フィルタ(SS3)252\_3、及びフィルタ(SS4)252\_4を具備する構成とされる。

【0052】図12は、本実施例のウェーブレット変換装置100のタイミングチャートである。このタイミングチャートに示すように、時刻t0からt1の期間で、前記第2実施例の場合と同様に、入力データのメモリ要素(L1)201への書き込みと、フィルタ(SS2)252\_2、フィルタ(SS3)252\_3及びフィルタ(SS4)252\_4によるレベル1、レベル2及びレベル3のSS係数の計算と、そのSS係数データのメモリ要素(L2)202、メモリ要素(L3)202及びメモリ要素(L4)204への書き込みとが並行して行われる。

【0053】この処理が終了した時刻t1から、フィルタ(A1)250\_1とフィルタ(B1)251\_1を使用したレベル1のウェーブレット変換、フィルタ(A2)250\_2とフィルタ(B2)251\_2を使用したレベル2のウェーブレット変換、フィルタ(A3)250\_3とフィルタ(B3)251\_3を使用したレベル3のウェーブレット変換、フィルタ(A4)250\_4とフィルタ(B4)251\_4を使用したレベル4のウェーブレット変換が開始する。そして、データ数が最も少ないレベル4の処理が最も早い時刻t2で終了し、その次にデータ数が少ないレベル3の処理が時刻t3で終わり、その次にデータ数が少ないレベル2の処理が時刻t4で終了し、最後に最もデータ数の多いレベル1の処理が時刻t5で終了する。このように、データ数の少

ない高いレベルから、ウェーブレット変換が順次終了していく。

【0054】本実施例のウェーブレット変換装置100の処理時間であるが、レベル1のデータ数が最も多いため、全体の処理時間もレベル1の処理に要する時間で決まる。データの読み込み時間が時刻t0からt1の $128 \times 128 = 16\text{ kクロック}$ 、レベル1のウェーブレット変換にかかる時間が時刻t1からt5の $64 \times 64 \times 2 = 8\text{ kクロック}$ であるから、トータルの処理時間は24kクロックとなる。この処理時間は従来技術の69kクロックの約35%の処理時間で済むから、従来技術に比べ非常に高速なウェーブレット変換処理が可能であるが、さらに前記第3実施例に比べても約86%の処理時間で済み、より一層の高速処理が可能である。

【0055】本実施例による符号化復号化装置は、前記第3実施例と同様に、符号化符号化部104において、高いレベルの周波数帯信号ほど先に得ることができるために、待ち時間が少なくなり、従来技術のものより高速な処理が可能である。

【0056】本発明のウェーブレット変換装置の構成は、前記各実施例の構成のみに限定されるものではなく、それを様々な変形した構成もとり得る。

【0057】例えば、前記第1又は第2実施例において、フィルタ部102の水平処理及び垂直処理のためのフィルタを1個のみにした変形構成も可能である。この場合、各メモリ要素201～204を必ずしも独立した4個のメモリに分割しなくともよい。このような変形構成では、各レベルのウェーブレット変換において、図5及び図6に示すような接続による並列処理は不可能であるため、その分だけ処理時間は増加するが、この点を除けば前述したような前記第1又は第2実施例と同様の効果を奏することができる。

【0058】同様に、前記第3又は第4実施例において、フィルタ部102の水平処理及び垂直処理のためのフィルタの個数を半減し、各レベルのウェーブレット変換の水平処理及び垂直処理を1つのフィルタを使用して実行させるような変形構成も可能である。この場合、各メモリ要素201～204を必ずしも独立した4個のメモリに分割しなくともよい。このような変形構成によれば、各レベルのウェーブレット変換処理の時間は増加するが、それ以外は前記第3又は第4実施例と同様の効果を奏することができる。

【0059】図22は、本発明のウェーブレット変換処理方法の第1の実施例を示すフローチャートである。本実施例の処理は、デジタル信号処理専用プロセッサ(DSP)又は汎用プロセッサを用いても実行可能であるが、図2のブロック図に示したような構成の専用のハードウェアを用いれば、図3のタイミングチャートに関連して説明したように極めて高速な実行が可能である。

【0060】図22において、まず処理ブロック300

で外部からデータを取り込み記憶手段に保存する。次に、処理ブロック310において、ウェーブレット変換の各レベルのSS係数データを順次計算し記憶手段に保存する。ここでは、レベル数を4とすると、処理ブロック300で取り込まれた入力データを用いたフィルタ演算によりレベル1のSS係数データを計算して保存し

(ステップ310\_1)、次に、このレベル1のSS係数データを用いたフィルタ演算によりレベル2のSS係数データを計算して保存し(ステップ310\_2)、最後に、レベル2のSS係数データを用いたフィルタ演算によりレベル3のSS係数データを計算して保存する

(ステップ310\_3)。このようなSS係数データの計算と保存の処理が終わると、次の処理ブロック320において、保存されている入力データを用いたレベル1のウェーブレット変換と、予め計算して保存してあるレベル1, 2, 3のSS係数データを用いたレベル2, 3, 4のウェーブレット変換を行う。いずれのレベルのウェーブレット変換を行うためのデータも予め保存されているため、各レベルのウェーブレット変換を実行する順序は任意に選ぶことができ、また、任意に選択したレベルのウェーブレット変換だけを行うことができる。このことは、図13及び図14に関連して説明したように、ウェーブレット変換を利用する符号化復号化装置において大きな利益をもたらすものである。

【0061】図23は、本発明のウェーブレット変換処理方法の第2の実施例を示すフローチャートである。本実施例の処理は、デジタル信号処理専用プロセッサ(DSP)又は汎用プロセッサを用いても実行可能であるが、図7又は図11のブロック図に示したようなSS係数データ計算用フィルタを複数個備える構成の専用のハードウェアを用いれば、図8又は図12のタイミングチャートに関連して説明したような極めて高速な実行が可能である。

【0062】図23において、まず処理ブロック330で外部からデータを取り込み記憶手段に保存する。この入力処理と並行して、処理ブロック340で、入力データを用いたフィルタ演算によりレベル1, 2, 3(ここではレベル数を4とする)のSS係数データが計算されて記憶手段に保存される。この各レベルのSS係数データの計算を並列に行うためには、前述のように図7又は図11のブロック図に示したような構成のハードウェアを利用するのが有利である訳である。ただし、処理時間は増加するが、各レベルのSS係数データの計算を順次に行うことも可能である。

【0063】このようなデータの入力とSS係数データの計算の処理が終わると、次の処理ブロック350において、保存されている入力データを用いたレベル1のウェーブレット変換と、予め計算して保存してあるレベル1, 2, 3のSS係数データを用いたレベル2, 3, 4のウェーブレット変換を行う。いずれのレベルのウェー

ブレット変換を行うためのデータも予め保存されているため、各レベルのウェーブレット変換を実行する順序は任意に選ぶことができ、また、任意に選択したレベルのウェーブレット変換だけを行うことができる。このことは、図13及び図14に関連して説明したように、ウェーブレット変換を利用する符号化復号化装置において大きな利益をもたらすものである。また、図11のブロック図に示したような各レベルに対応した複数の水平/垂直処理用のフィルタを備えた構成のハードウェアを利用し、全レベル又は複数レベルのウェーブレット変換を同時に開始し並列的に実行すれば、高いレベルの周波数帯信号ほど早い時点で生成することができ、これは前述のように符号化復号化装置において大きな利益をもたらすものである。

【0064】図24は、本発明のウェーブレット変換処理方法の第3の実施例を示すフローチャートである。本実施例の処理も、デジタル信号処理専用プロセッサ(DSP)又は汎用プロセッサを用いても実行可能であるが、図9のブロック図に示したような構成のハードウェアを用いれば、図10のタイミングチャートに関連して説明したように極めて高速に実行可能である。

【0065】図24において、まず処理ブロック360で外部からデータを取り込み記憶手段に保存する。データ入力の処理が終了すると、処理ブロック370で、図22の処理ブロック310と同様にレベル1, 2, 3(ここではレベル数を4とする)のSS係数データの計算と保存を順次行う。このSS係数データの計算処理と並行して処理ブロックでレベル1, 2, 3, 4のウェーブレット変換を実行する。すなわち、処理ブロック380においては、レベル1のSS係数データの計算が終了すると、入力データを用いてレベル1のウェーブレット変換(ステップ380\_1)を開始する。続いて、レベル2のSS係数データの計算が終わると、保存されているレベル1のSS係数データを用いたレベル2のウェーブレット変換(ステップ380\_2)を開始する。そして、レベル3のSS係数データの計算が終了すると、保存されているレベル2のSS係数データを用いたレベル3のウェーブレット変換(ステップ380\_3)と、保存されているレベル3のSS係数データを用いたウェーブレット変換(380\_4)とを同時に開始する。高いレベルほど処理対象データ数が少ないため、レベル4のウェーブレット変換(ステップ380\_4)が最初に終了し、次にレベル3のウェーブレット変換(ステップ380\_3)が終了し、次にレベル2のウェーブレット変換(ステップ380\_2)が終了し、最後にレベル1のウェーブレット変換(380\_1)が終了する。このように、高いレベルの周波数帯信号ほど早い時点で生成されることは、図13及び図14に関連して説明したように、符号化復号化装置において大きな利益をもたらすものである。

40  
40  
50

【0066】なお、図22、図23又は図24の各処理ブロックを一般的なコンピュータに実行させるためのプログラムが記録されたフロッピーディスク、CD-ROM等の各種の記録媒体も、本発明に包含される。

#### 【0067】

【発明の効果】請求項1記載の発明によれば、高速のウェーブレット変換処理が可能になるとともに、ウェーブレット変換処理を任意のレベルについて任意の順序で実行することが可能になる。

【0068】請求項2記載の発明によれば、複数レベルのSS係数データの計算を並列に行うことにより、請求項1記載の発明よりもさらに高速の処理が可能になり、また、ウェーブレット変換処理を任意のレベルについて任意の順序で実行することが可能になる。

【0069】請求項3記載の発明によれば、装置が処理可能な全レベルのSS係数データの計算を並列に行うことにより、全レベルのウェーブレット変換処理を高速に行うことが可能になり、また、任意のレベルについて任意の順序でウェーブレット変換処理を実行することが可能になる。

【0070】請求項4記載の発明によれば、複数のレベルのウェーブレット変換処理を並列化することにより処理の一層の高速化が可能になり、複数レベルのウェーブレット変換処理を並行して実行して高いレベルの周波数帯信号ほど早い時点で生成することが可能になる。

【0071】請求項5記載の発明によれば、複数レベルのSS係数データの計算の並列化と、複数レベルのウェーブレット変換処理の並列化により、処理の一層の高速化が可能になり、複数レベルのウェーブレット変換処理を並行して実行し、高いレベルの周波数帯信号ほど早い時点で生成することが可能になる。

【0072】請求項6記載の発明によれば、必要な全てのレベルのSS係数データの計算を並列に行うことができるため、請求項5記載の発明よりも処理をさらに高速化することができる。

【0073】請求項7記載の発明によれば、装置が処理可能な全レベルのウェーブレット変換処理を並列化することにより処理の一層の高速化が可能になり、また、全レベルのウェーブレット変換処理を並行して実行し、高いレベルから周波数帯信号を順次生成することが可能になる。

【0074】請求項8記載の発明によれば、装置が処理可能な全レベルのウェーブレット変換処理の並列化と複数レベルのSS係数データの計算の並列化により、請求項7記載の発明よりも一層の処理の高速化が可能になり、また、全レベルのウェーブレット変換処理を並行して実行して高いレベルから周波数帯信号を順に生成することが可能になる。

【0075】請求項9記載の発明によれば、必要な全てのレベルのSS係数データの計算を並列化することによ

り、請求項8記載の発明よりもさらに処理の高速化が可能になる。

【0076】請求項10記載の発明によれば、各レベルのウェーブレット変換処理を2つのフィルタを使用して並列化することにより、請求項4記載の発明よりもさらに処理の高速化が可能になる。

【0077】請求項11記載の発明によれば、各レベルのウェーブレット変換処理を2つのフィルタを使用して並列化し、かつ、必要な全てのレベルのSS係数データの計算を並列化することにより、請求項5記載の発明よりもさらに処理の高速化が可能になる。

【0078】請求項12記載の発明によれば、各レベルのウェーブレット変換処理を2つのフィルタを使用して並列化し、かつ、装置が処理可能な全てのレベルのウェーブレット変換処理を並列化することにより、請求項10記載の発明よりもさらに処理の高速化が可能になる。

【0079】請求項13記載の発明によれば、各レベルのウェーブレット変換処理を2つのフィルタを使用して並列化し、かつ、装置が処理可能な全てのレベルのウェーブレット変換処理を並列化することにより、請求項6記載の発明よりもさらに処理の高速化が可能になる。

【0080】請求項14記載の発明によれば、ウェーブレット変換装置において、ウェーブレット変換の高速処理が可能であり、かつ、任意に選択したレベルについて任意に指定した順序でウェーブレット変換を実行させることができ、あるいは、複数のレベルのウェーブレット変換処理を並行して実行して高いレベルから周波数帯信号を順に生成させることができ、符号化復号化部におけるウェーブレット変換のための待ち時間を減らすことでき、また、周波数帯信号の切り捨てを行う場合には不要なレベルのウェーブレット変換を行う無駄を省くことができ、したがって、高速の符号化復号化処理が可能になる。

【0081】請求項15記載の発明によれば、任意に選択したレベルのウェーブレット変換を任意の順序で実行することができるため、符号化復号化処理における待ち時間を減少させることができ、また、データの切り捨てを行う場合に不要なレベルの周波数帯信号を生成させることなく、高速の符号化復号化処理が可能になる。

【0082】請求項16記載の発明によれば、高いレベルの周波数帯信号ほど早い時点で生成させることができ、符号化復号化処理における待ち時間を減少させることができる。

【0083】請求項17記載の発明によれば、一般的なコンピュータを利用して容易に、請求項15又は16記載の発明を実施可能になる。

#### 【図面の簡単な説明】

【図1】本発明による符号化復号化装置の全体的構成の一例を示すブロック図である。

【図2】本発明の符号化復号化装置及びウェーブレット

変換装置の第1実施例におけるウェーブレット変換装置の構成を示すブロック図である。

【図3】第1実施例におけるウェーブレット変換装置のタイミングチャートである。

【図4】メモリ要素を構成する4つのメモリへのデータの振り分けを示す図である。

【図5】水平方向処理時のフィルタとメモリの接続方法を示す図である。

【図6】垂直方向処理時のフィルタとメモリの接続方法を示す図である。

【図7】本発明の符号化復号化装置及びウェーブレット変換装置の第2実施例におけるウェーブレット変換装置のフィルタ部の構成を示すブロック図である。

【図8】第2実施例におけるウェーブレット変換装置のタイミングチャートである。

【図9】本発明の符号化復号化装置及びウェーブレット変換装置の第3実施例におけるウェーブレット変換装置のフィルタ部の構成を示すブロック図である。

【図10】第3実施例におけるウェーブレット変換装置のタイミングチャートである。

【図11】本発明の符号化復号化装置及びウェーブレット変換装置の第4実施例におけるウェーブレット変換装置のフィルタ部の構成を示すブロック図である。

【図12】第4実施例におけるウェーブレット変換装置のタイミングチャートである。

【図13】周波数帯信号のアライメントの説明図である。

【図14】ビットプレーンの説明図である。

【図15】ウェーブレット変換の水平処理及び垂直処理

のためのフィルタ演算の説明図である。

【図16】ウェーブレット変換前のイメージデータのメモリマップの一例を示す図である。

【図17】1S係数及び1D係数のためのメモリマップの一例を示す図である。

【図18】1SS係数、1SD係数、1DS係数及び1DD係数のためのメモリマップの一例を示す図である。

【図19】2S係数及び2D係数のためのメモリマップの一例を示す図である。

10 【図20】2SS係数、2SD係数、2DS係数及び2DD係数のためのメモリマップの一例を示す図である。

【図21】従来の一般的なウェーブレット変換装置のタイミングチャートである。

【図22】本発明のウェーブレット変換処理方法の一実施例を説明するためのフローチャートである。

【図23】本発明のウェーブレット変換処理方法の他の実施例を説明するためのフローチャートである。

【図24】本発明のウェーブレット変換処理方法のもう一つの実施例を説明するためのフローチャートである。

#### 20 【符号の説明】

100 ウェーブレット変換装置

101 メモリ部

102 フィルタ部

103 制御部

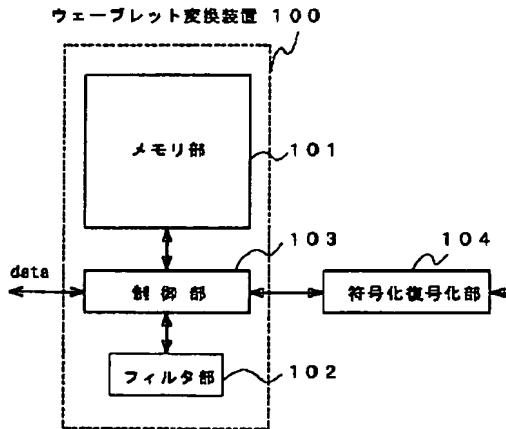
104 符号化復号化部

201, 202, 203, 204 メモリ要素

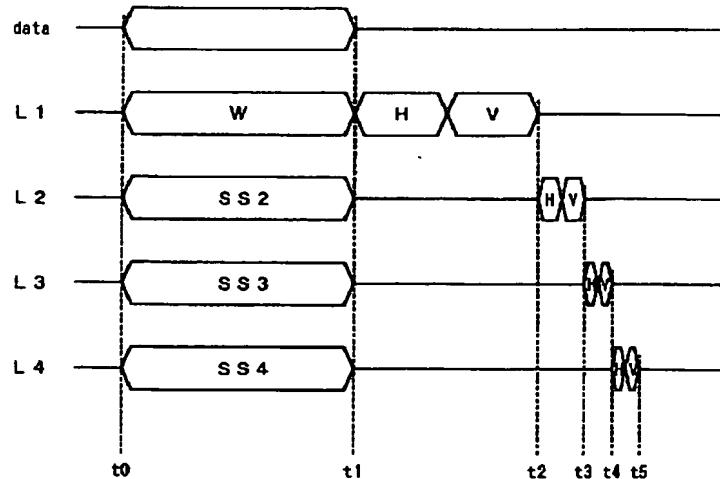
250, 251 水平処理及び垂直処理用のフィルタ

252 SS係数データ計算用のフィルタ

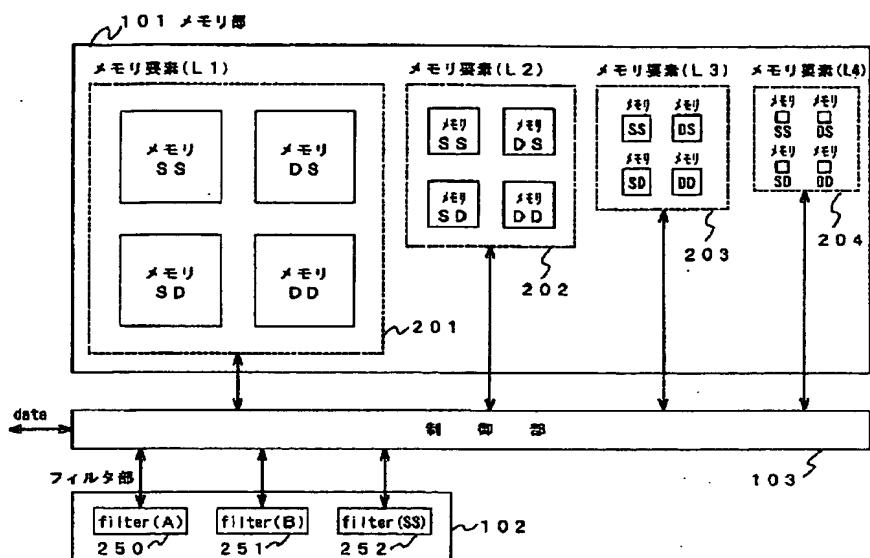
【図1】



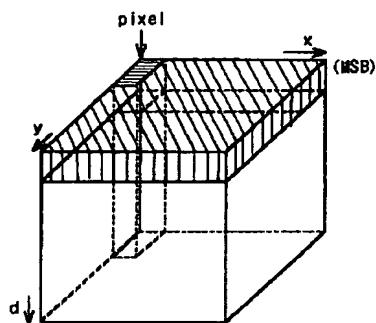
【図8】



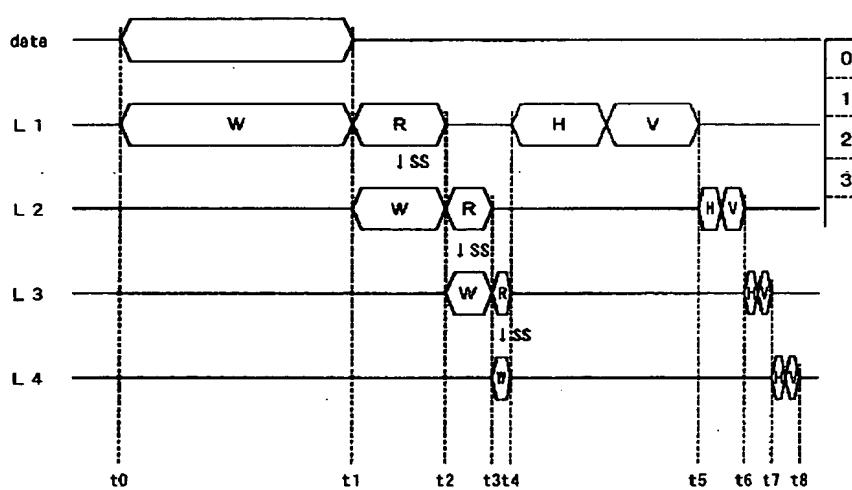
【図2】



【図14】



【図3】



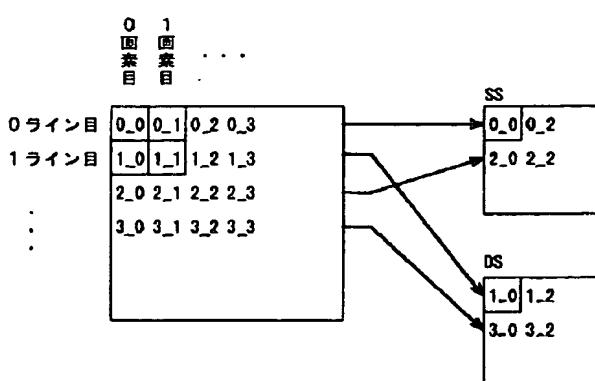
【図16】

original	0 0	0 1	0 2	0 3
1 0	1 1	1 2	1 3	
2 0	2 1	2 2	2 3	
3 0	3 1	3 2	3 3	

【図18】

1 V	1s000	1ds00	1ss01	1da01
1d000	1dd00	1sd01	1dd01	
1ss10	1ds10	1ss11	1da11	
1d10	1dd10	1sd11	1dd11	

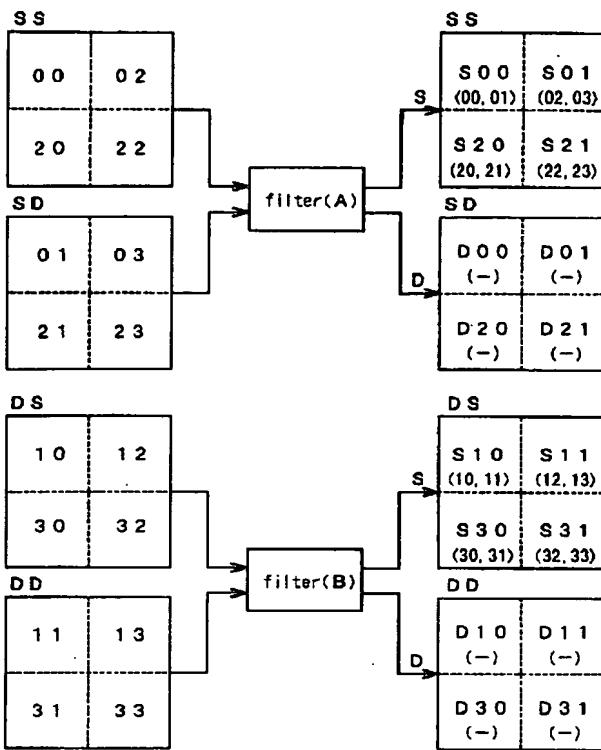
【図4】



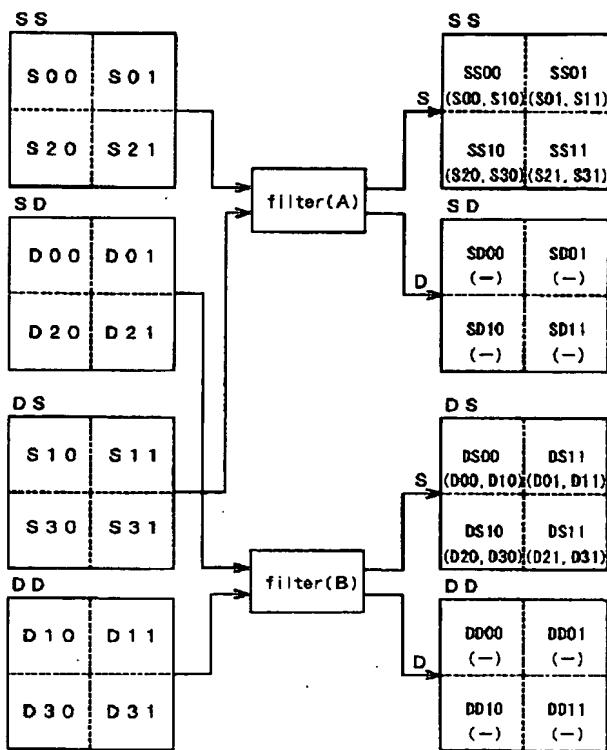
1 H	1s00	1d00	1s01	1d01
1s10	1d10	1s11	1d11	
1s20	1d20	1s21	1d21	
1s30	1d30	1s31	1d31	

【図17】

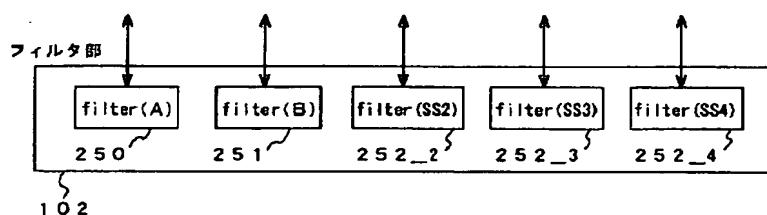
【図5】



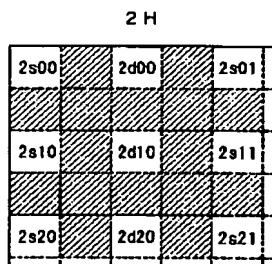
【図6】



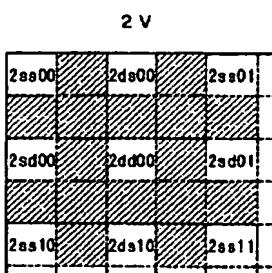
【図7】



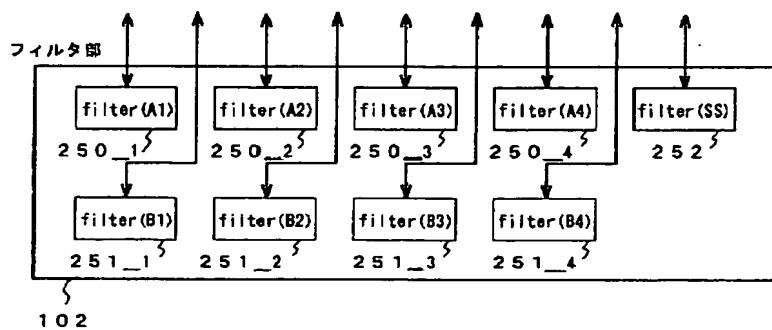
【図19】



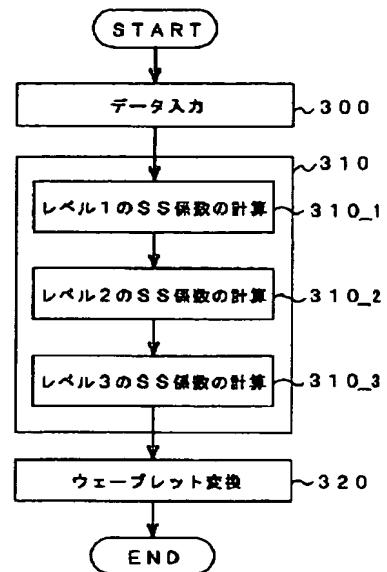
【図20】



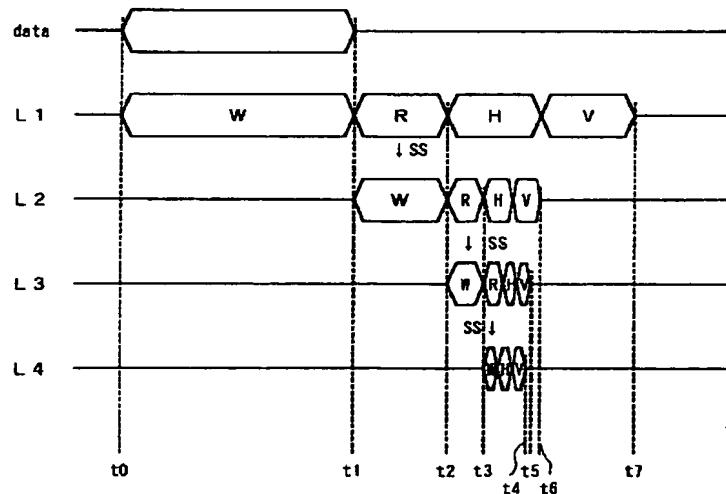
【図9】



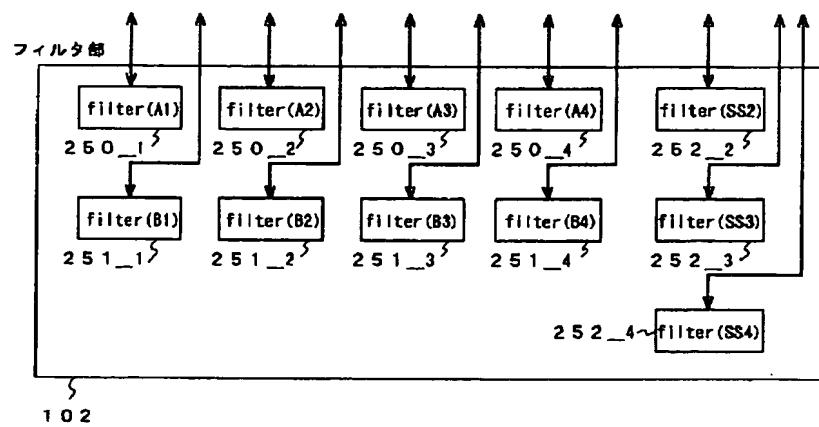
【図22】



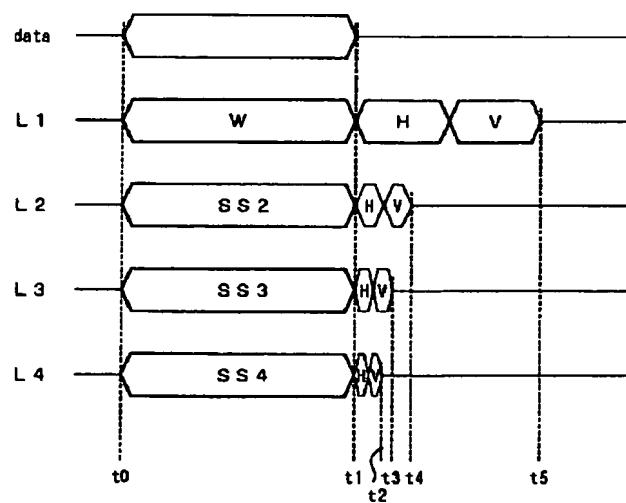
【図10】



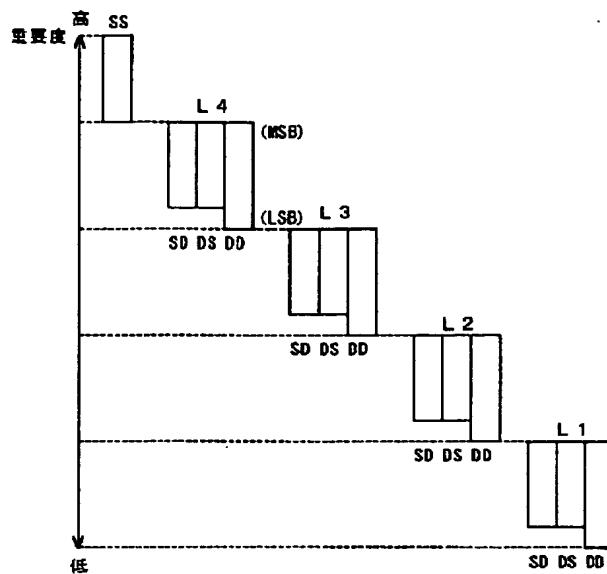
【図11】



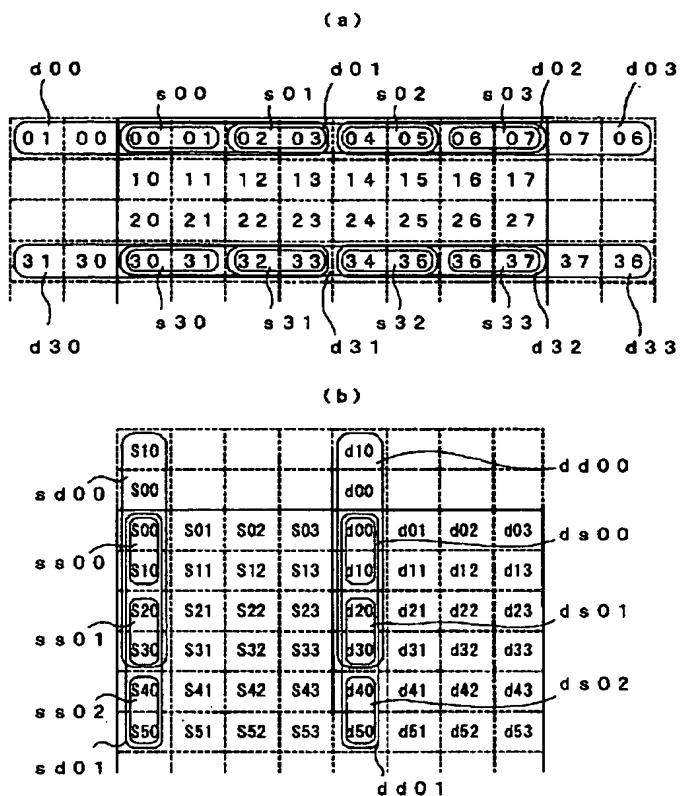
【図12】



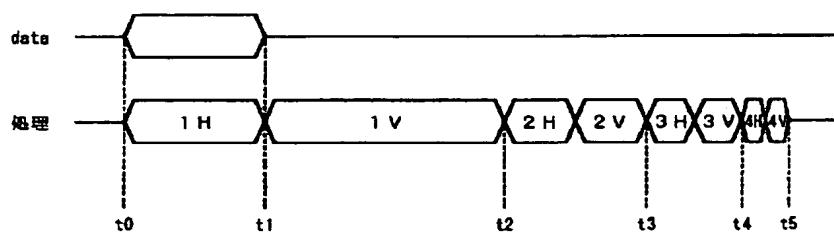
【図13】



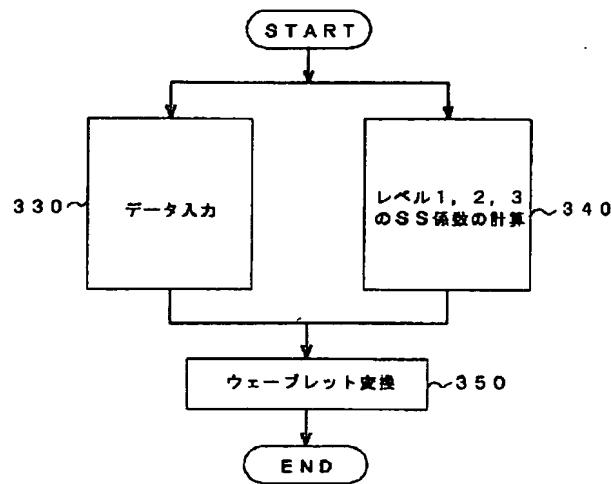
【図15】



【図21】



【图23】



[図24]

